

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-292273

(43)公開日 平成5年(1993)11月5日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/23	1 0 3 B	9186-5C		
B 4 1 J 2/52				
H 0 4 N 1/40	B	9068-5C 7339-2C	B 4 1 J 3/ 00	A

審査請求 未請求 請求項の数 2(全 9 頁)

(21)出願番号 特願平4-85476

(22)出願日 平成4年(1992)4月7日

(71)出願人 000001270

コニカ株式会社

東京都新宿区西新宿1丁目26番2号

(72)発明者 沢田 宏一

東京都八王子市石川町2970番地 コニカ株式会社内

(72)発明者 山本 裕之

東京都八王子市石川町2970番地 コニカ株式会社内

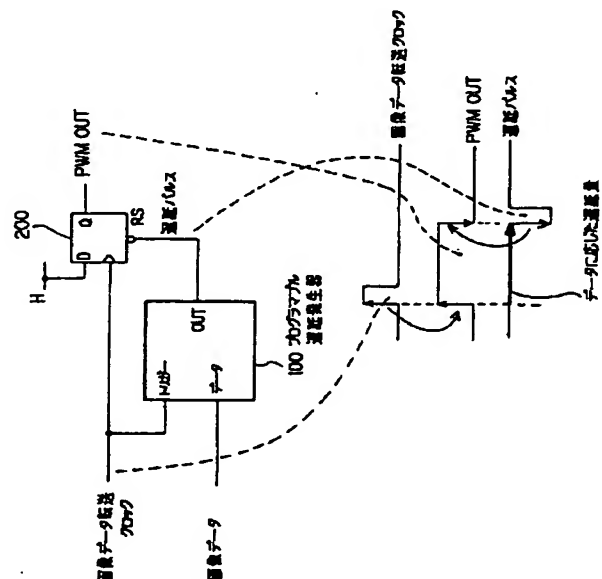
(74)代理人 弁理士 井島 藤治 (外1名)

(54)【発明の名称】 画像形成装置

(57)【要約】

【目的】 PWM回路を使用した画像処理(階調再現用のパルス幅信号生成処理)の耐ノイズ特性の向上と、処理の高精度化を図ることである。

【構成】 画像データの転送クロックによりパルス発生回路200をトリガーして出力レベルを反転し、同時に、画像データをデジタルプログラマブル遅延発生回路100に入力し、画像データに応じた遅延量を持ったパルスが発生させ、この遅延パルスにより、前記パルス発生回路をリセットしてPWMパルスが発生させる。デジタル遅延回路(IC化されている)により遅延量を決定するため、アナログ外付け回路やアナログ遅延線の付加が不要となる。



【特許請求の範囲】

【請求項1】 光源の発光時間を制御して階調再現を行う画像形成装置において、画像データに応じて遅延量を制御できるプログラマブル遅延発生器へ画像データ転送クロックを入力し、画像データに応じた遅延量を有した転送クロックを得て、その遅延された転送クロックと、遅延前の前記転送クロックとを用いて画像データに応じたパルス幅を有した信号を得ることを特徴とする画像形成装置。

【請求項2】 プログラマブル遅延発生器に入力するクロック信号の1周期内に複数の画像データが存在するように画像データ転送クロックを分周する分周器と、プログラマブル遅延発生器の最大遅延量を前記分周器の分周量に応じて切換える最大遅延量切換回路とを有し、プログラマブル遅延発生器に入力する画像データは、分周された転送クロックの1周期内に存在する複数の画像データより構成することを特徴とする請求項1記載の画像形成装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は画像形成装置に関し、特に、画像データに応じたパルス幅信号（PWM信号）によってレーザ光源を駆動し、画像の階調再現を行うレーザ画像形成装置に関する。

【0002】

【従来の技術】階調情報を持ったパルス幅信号を発生させるパルス幅変調回路は、画像デジタル信号をアナログ信号に変換するためのD/A変換器と、アナログ信号を受けて、対応する所定パターンを発生させるパターン発生回路と、その発生パターンを受けてPWMパルスを発生させる、コンパレータ等のアナログ回路とで構成されている。

【0003】

【発明が解決しようとする課題】階調情報を持ったパルス幅信号を発生させるパルス幅変調回路は、アナログ回路要素が多く、それらのアナログ回路は、システムボード上に、ディスクリート部品（単体の部品）として外付けされている。したがって、周辺回路からのノイズを受けやすく、安定した精度を維持することが難しいという問題点がある。

【0004】本発明はこのような問題点に着目したなされたものであり、その目的は、PWM回路を使用した画像処理（階調再現のためのPWMパルス生成処理）の耐ノイズ特性の向上と、処理の高精度化を図ることにある。

【0005】

【課題を解決するための手段】本発明の代表的なものの概要を述べれば以下のとおりである。すなわち、画像データ転送クロックによりパルス発生手段をトリガーして出力レベルを反転させ、同時に、画像データをディジタ

ルプログラマブル遅延発生回路に入力し、画像データに応じた遅延量を持ったパルスを発生させ、この遅延パルスによりパルス発生手段をリセットしてPWMパルスを発生させるものである。

【0006】また、写真画像等の処理を行う場合、一画素毎の処理ではなく、複数画素の情報を平均化して一つの階調信号を発生させる場合がある。この場合でも、上述のデジタルプログラマブル遅延発生回路を用いた方式を利用できるように、クロックの分周回路や、画像データの平均化回路、デジタルプログラマブル遅延発生回路の最大遅延範囲を切換る切換手段等を設けるものである。

【0007】

【作用】デジタルプログラマブル遅延回路（IC化されている）により、画像データの情報を遅延情報に変換し、この遅延情報に基づいてPWMパルスを発生させるため、アナログ外付けやアナログ遅延線の付加が不要となる。したがって、周辺回路からのノイズの影響を受けにくくなる。また、IC化されたデジタルプログラマブル遅延回路は取扱いが容易であり、入出力データのビット数の拡張等も可能であり、高精度化に適する。

【0008】また、写真画像の複写の場合のように、複数画素に渡ったデータの処理が必要なときは、印字周期の切換えにより、画像転送クロックの経路や画像データの経路が自動的に切り替わり、再現画像に適した処理が可能となる。

【0009】

【実施例】次に、本発明の実施例について図面を参照して説明する。図6は、本発明が適用されているデジタル複写機（レーザビームを使用）の主要部の構成の概要を示す図である。

【0010】スキャナ部1は複写対象から画像情報を取得する部分であり、取得された情報は画像処理部2においてAD変換および画像処理後、シェーディング補正等が施される。タイミングコントローラ4は、画像データ転送クロックに同期させてデータをプリンタ部5に送る。プリンタ部5では、画像形成信号発生回路6が、入力された画像データD（8ビットのデータ）に基づいて画像形成信号S（PWMパルスによる階調再現用信号）を生成する。このPWMパルスの持つ情報に応じてレーザ駆動回路7は半導体レーザ8を駆動する。レーザ光はポリゴンミラー11により走査され、これにより、例えば、感光体ドラム上に静電潜像が形成される。なお、参照番号9はタイミング回路、10はモータ駆動回路、12はインデックスセンサ、13はI/Vアンプである。本発明は、図1中の画像形成信号発生回路6中の、階調再現のためのPWMパルス発生回路に適用されるものである。

【0011】（実施例1）図1は本発明の第1の実施例の構成を示す図である。この実施例は、デジタルプロ

グラマブル遅延発生器100と、D型フリップフロップ200とにより構成され、入力画像データに応じたパルス幅を持つ階調再現用のPWMパルス(PWM OUT)を発生させるものである。デジタルプログラマブル遅延発生器100のトリガー入力には画像データ転送クロックであり、データ入力は8ビットの画像データである。一方、D型フリップフロップ200のデータ入力端子は常にハイレベルにプルアップされており、また、画像データ転送クロックがクロック端子に入力され、かつ、デジタルプログラマブル遅延発生器100の出力である遅延パルスによってリセットされるようになっている。

【0012】図1の下側に示される動作波形のように、本実施例では、画像転送クロックのポジティブエッジにより、D型フリップフロップ200の出力がハイレベルに立上がり、画像データに応じた遅延の後、デジタルプログラマブル遅延発生器100の遅延パルスのポジティブエッジにより、リセットされてD型フリップフロップ200の出力はローレベルに戻る。これによって、画像データの情報に応じたパルス幅信号(PWM OUT)が生成される。

【0013】本実施例は、入力デジタルデータに応じて遅延量を変化させることのできるデジタルプログラマブル遅延発生器100を用いて、パルス幅を決定するリセットパルスを作成しているため、とかく周辺回路の影響を受けやすい微妙な要素を多く持つ外付けのアナログ回路がなく、ノイズに強く、かつ高精度のPWMパルス生成を行える。また、回路の信号入力は、画像データおよび、その転送クロックのみであり、他の制御信号を使うことなく最も簡単な構成となっている。したがって、システムボード上における専有面積を削減できる。

【0014】(実施例2)図2は本発明の第2の実施例の構成を示す図である。この実施例は、基本的な構成は前掲の実施例と同様であるが、2分周回路300、セクタ400、切換え回路500が追加されている点が異なっている。

【0015】文字画像のような濃淡のはっきりした対象をコピーする場合と異なり、写真のように全体的に濃淡の起伏が乏しいものをコピーする場合、1画素毎の処理を行うよりは、解像度を低下させても、隣接する複数画素の情報を平均化して一つのPWMパルスを発生させて階調再現精度を向上させた方が、画質の向上となる。本実施例は、このような複数画素をまとめた処理(複数画素毎の処理)を行う場合にも、前掲の実施例の機能を適用できるように、工夫がなされている。なお、本実施例では、2画素毎の処理を行うこととして回路を構成している。

【0016】まず、画像転送クロックについては、1画素周期のクロックと、回路300による2分周クロックとを、セクタ400で選択できるようになっている。また、画像データについては、切換え回路500によ

り、1画素毎のデータと、2画素分のデータの平均とを切換えて出力できるようになっている。また、フルスケール遅延範囲設定器600により、デジタルプログラマブル遅延発生器100の最大遅延量を、2画素分の遅延スケールに変化させることができるようになっている。これらの切換え制御は、1画素毎/2画素毎切換え制御信号(印字周期制御信号)に基づいて行われる。

【0017】本実施例によれば、最小限の回路追加により、複数画素に渡ったデータの処理にも前掲の実施例を適用できるようになり、ノイズに強く、高精度のPWMパルス生成を行えるという効果に加え、さらに、複写対象に応じた階調再現ができるという効果が得られる。

【0018】(実施例3)図3は、図2の実施例をさらに具体化した構成例(第3の実施例)を示す図である。図中、参照番号20はインバータ、21、22は入力バッファであり、23は画像クロックの2分周回路、24は、1画素毎のクロックと2画素毎のクロックの切換え用のマルチプレクサである。また、イネーブル端子付のラッチ25、26、27およびデータ加算器28は、データの切換え回路(図2における回路500に相当)を構成する。

【0019】また、参照番号29、30、31は画像データとフルスケール遅延範囲設定信号との同期をとるためのタイミング調整用のラッチである。ディレイライン33は、プログラマブル遅延発生器34の固定遅延量、インバータ35の固定遅延量を考慮して、画像転送クロックのD型フリップフロップ36への入力タイミングを調整するために設けられている。

【0020】デジタルプログラマブル遅延発生器34は、図5に示すような構成となっている。図示されるように、8ビットのデジタルデータラッチ50ならびにD/A変換器51と、トリガー回路52と、ランプ回路53と、比較器54とを具備し、これらはワンチップ(IC)化されている。ランプ回路53の調整端子には、図3に示されるように、フルスケール遅延範囲設定器(特定数切換え用トランジスタTr、並列抵抗、コンデンサからなる)32が接続される。

【0021】本実施例において、2画素毎の処理と1画素毎の処理における、画像データの処理は、ラッチ25、26を相補的に選択し、そのいずれかの回路からの出力データを、常時使用されるラッチ27の出力データと加算し(加算器28)、その加算出力を1/2することによって行われる。加算データの1/2は、特別な回路を使わず、デジタルプログラマブル遅延発生器34のトリガー端子にデータを入力する際に、入力ビットを1ビットシフトすることにより行う。

【0022】すなわち、データの切換え回路25、26は印字周期制御信号(印字2)のレベルに応じて相補的にアクティブ状態となる。また、ラッチ27は常に動作している。ラッチ25、26のそれぞれの動作クロック

は、1画素毎の画像転送クロック(1PIX)と2画素毎の画像転送クロック(2PIX)であり、1画素毎の処理のときはラッチ26が動作し、2画素毎の処理のときは、ラッチ25が動作する。したがって、1画素毎の処理の場合は、ラッチ26と27のデータが加算されて $1/2$ されるため、結果的に1画素分のデータ $\{(1+1)/2=1\}$ がそのままデジタルプログラマブル遅延発生器34に入力されることになる。2画素毎の処理の場合は、ラッチ25(2画素分のデータ)とラッチ27のデータ(1画素分のデータ)が加算されて $1/2$ されるため、結果的に、2画素分のデータの平均値 $\{(2+1)/2=1.5\}$ が、デジタルプログラマブル遅延発生器34に、入力される。

【0023】図4は本実施例の動作を説明するためのタイミングチャートである。このタイミングチャートにおいて使用されている信号の内容は、以下のとおりである。

印字1；印字周期制御信号

印字2；バッファ22を通った印字周期制御信号

DATA1；デジタル画像データ

DATA2；バッファ21を通過したデジタル画像データ

CLK1；画像転送クロック

CLK2；CLK1をインバータ20で反転した画像転送クロック

CLK3；CLK2をインバータ37で反転した画像転送クロック

CLK4；CLK2をD型フリップフロップ30で分周した画像転送クロック

1PIX；1画素毎の演算処理用クロック

2PIX；2画素毎の演算処理用クロック

S-OUT1；印字周期制御信号(印字2)により、マルチプレクサ24で選択した画像転送クロック

S-OUT2；加算器28で加算された画像データを、画像転送クロック(CLK3)でラッチした加算デジタル画像データ

S-OUT3；ラッチ31において、画像転送クロック(CLK2)でラッチした印字周期制御信号

IN1；演算処理用クロック(1PIX)および(2PIX)でラッチされた、それぞれラッチ25、26の画像データ(DATA2)に対して、印字周期制御信号

(印字2)により選択された、ラッチ25、26のいずれか一方のデジタル画像データ

IN2；演算処理用(1画素処理用)クロック(1PIX)でラッチされた、ラッチ27の画像データ

T-OUT；プログラマブル遅延発生器34から出力された遅延パルスを、インバータ35で反転した信号

D-OUT；映像転送クロック(S-OUT1)をディレイライン33で遅延させた信号

PWM OUT；生成された、レーザ光源駆動のための

PWM信号

$t_1 \sim t_5$ ；素子固有の遅延量

ディレイ量；ディレイライン33の遅延量

PD1~PD5；入力データに応じた遅延量

図4のタイミングチャート中、S-OUT3がローレベルのときに、デジタルプログラマブル遅延発生器34のフルスケール遅延範囲は、2画素毎のPWMパルス発生に適合する値に切り換えられ、S-OUT3がハイレベルのときは、1画素毎のPWMパルス発生に適合する範囲となる。D-OUTのポジティブエッジ入力によりD型フリップフロップ36の出力がハイレベルとなり、T-OUTの画像データに応じた遅延パルスのネガティブエッジ入力により、その出力はローレベルとなる。この結果、入力データに応じた遅延量PD1~PD5が生成される。2画素毎の一連の処理と、1画素毎における一連の処理の切換えは、印字制御信号(印字2)のレベル切換えにより統括的に行われる。

【0024】本実施例は、マルチプレクサ、加算器、複数のラッチといった基本的なデジタル回路により構成されており、構成が簡単でIC化にも適し、実現が容易である。

【0025】

【発明の効果】以上説明したように本発明によれば、以下の効果が得られる。

(1) デジタルプログラマブル遅延発生器を用いて、階調再現のためのPWMパルスを発生させるため、周辺回路からのノイズに影響されやすいアナログの外付け回路(個別部品としての回路)は不要となり、安定で高精度なPWMパルスの生成を行える。

(2) 本発明の構成は極めて簡素化されているため、外付けアナログ回路の削減の効果と共に、ボード(システムボード)の設計が容易となる。

(3) また、写真画像の複写の場合のように、複数画素に渡ったデータの処理が必要なときは、印字周期の切換えにより、画像転送クロックの経路や画像データの経路が自動的に切替わり、再現画像に適した処理ができる。これにより、ノイズに強く、高精度のPWMパルス生成を行えるという効果に加え、さらに、複写対象に応じた階調再現ができる。また、このような機能も、最小限の回路の追加で実現できる。

(4) これにより、画像形成装置の階調再現機能を向上できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す図である。

【図2】本発明の第2の実施例の構成を示す図である。

【図3】実施例をさらに具体化した構成例(第3の実施例)を示す図である。

【図4】図3の実施例の動作を説明するためのタイミングチャートである。

【図5】図3におけるデジタルプログラマブル遅延発

生器34の構成例を示す図である。

【図6】本発明が適用されているデジタル複写機（レーザービームを使用）の主要部の構成の概要を示す図である。

100 プログラマブル遅延生器

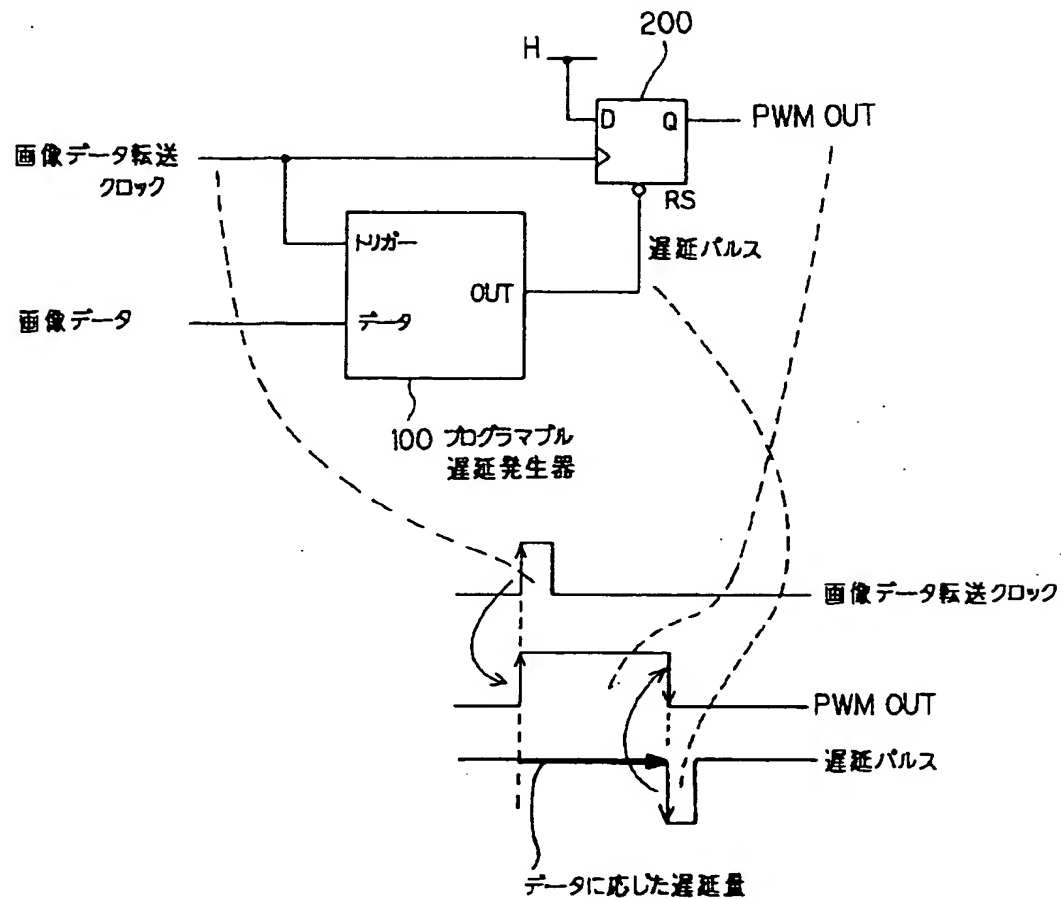
200 D型フリップフロップ

300 2分周回路

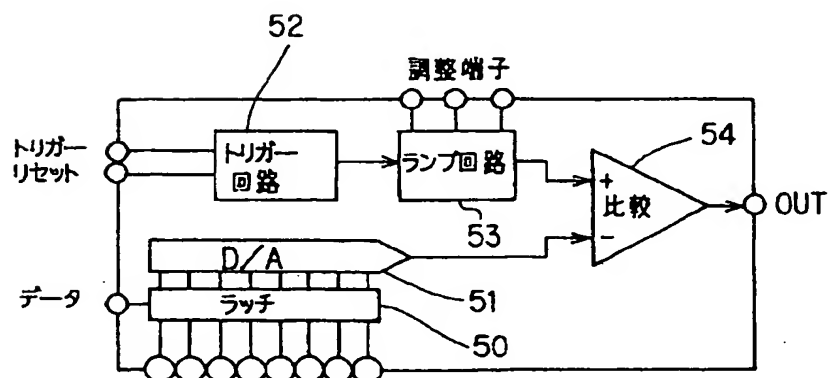
400 セレクタ

500 データ切換え回路

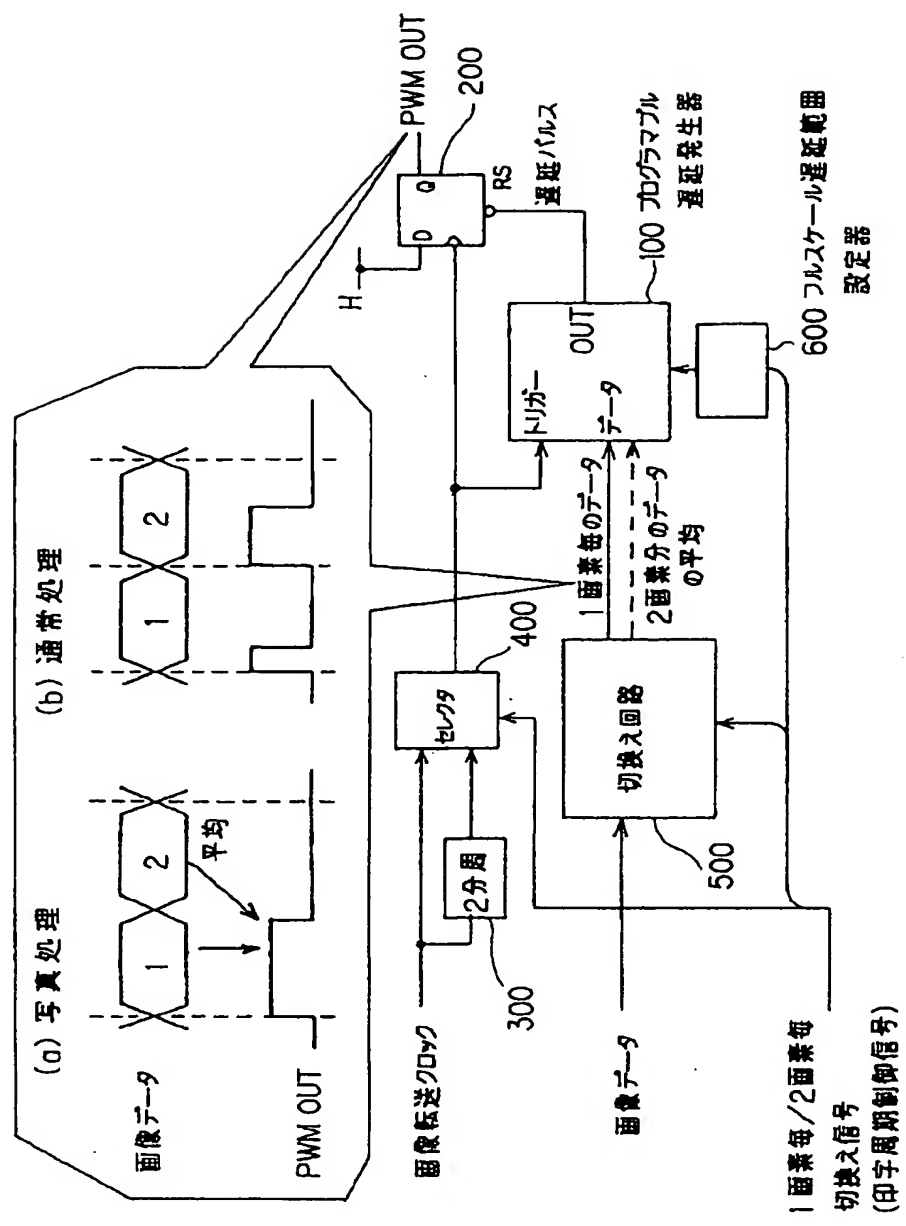
【図1】



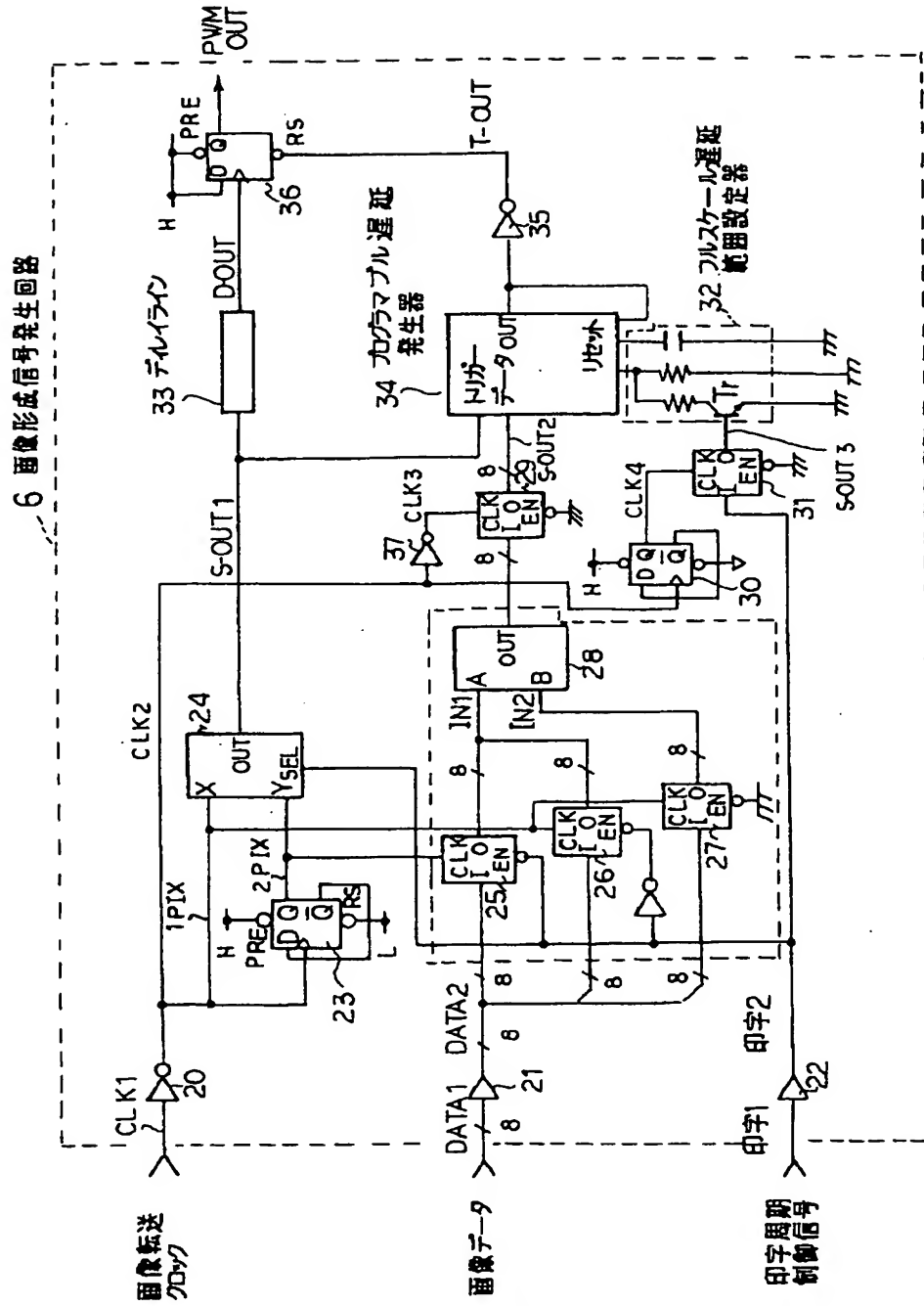
【図5】



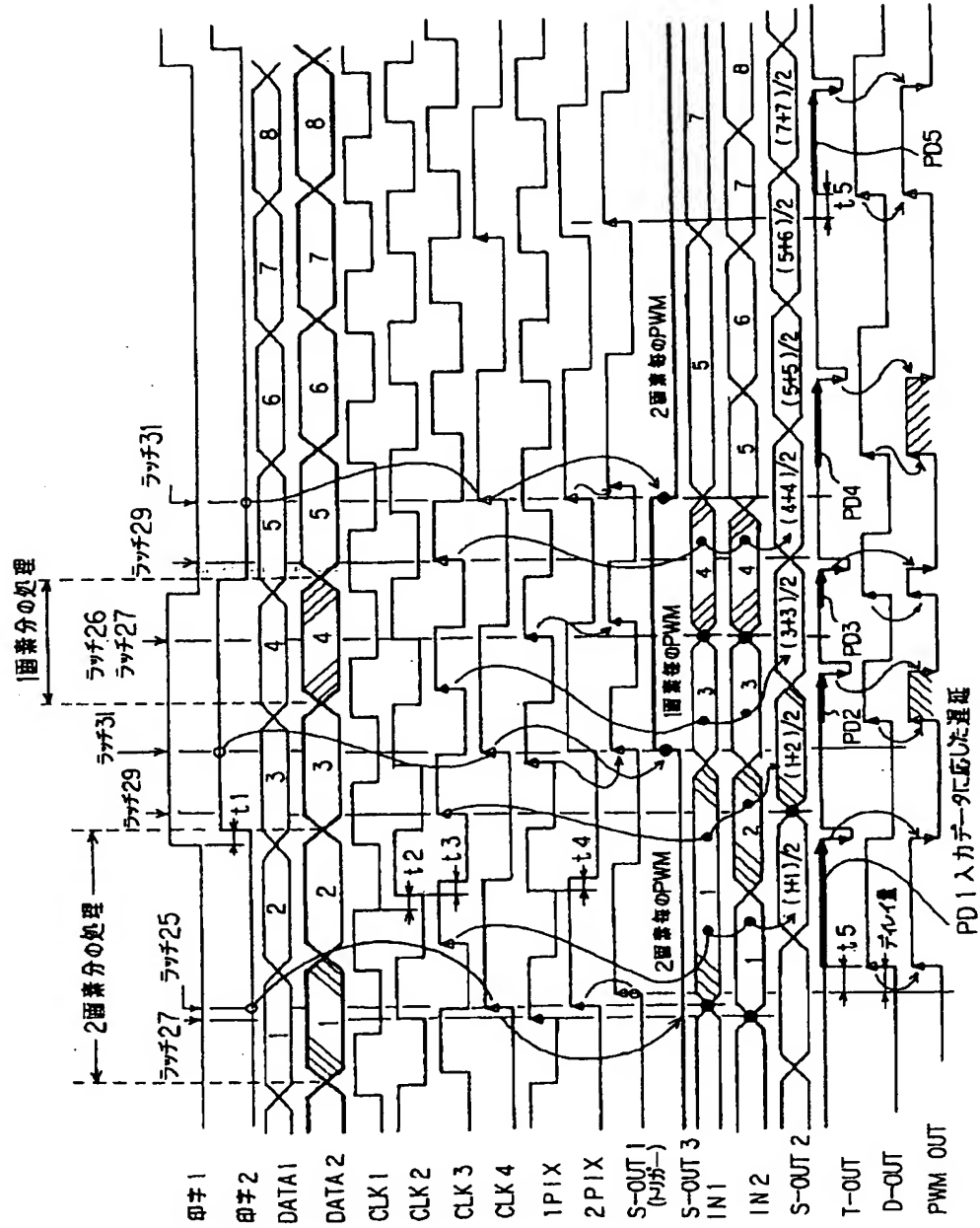
【図2】



【図3】



【図4】



【図6】

